

Patent number:

JP2835323B2

Also published as:

Publication date:

Inventor:

Applicant:

Classification:

- international:

- european:

Application number:

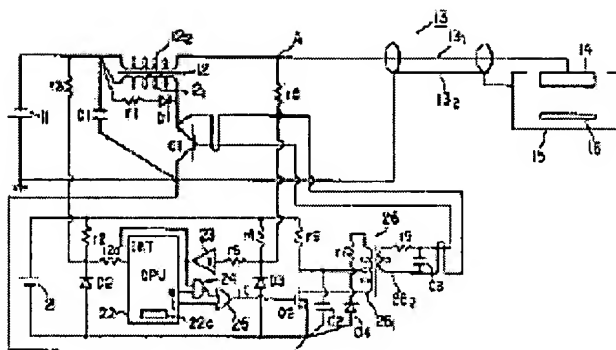
Priority number(s):

Abstract not available for JP2835323B2

Abstract of correspondent: JP10298755

PROBLEM TO BE SOLVED: To reduce the generation of continuous arc discharge in a sputtering device.

SOLUTION: In a circuit, in which a reverse voltage pulse is applied to prevent arc discharge, in the case the generation of arc discharge is detected by an arc discharge detecting means 23 after the completion of the application of the reverse pulse voltage, reverse voltage generated by a reverse voltage generating means 12 is applied to a sputtering source within 1-10 μ s to reduce the probability of continuous arc discharge being generated, and, by a diode D10 connected to a sputtering source 14 in a series and a resistance (r) connected in parallel to the diode D10, the electric current at the time of the application of reverse voltage is limited to reduce continuous arc discharge caused by arc discharge in the reverse direction.



<http://v3.espacenet.com/textdoc?DB=EPODOC&IDX=WO03030345&RPN=JP2835323B2> 3/11/2004

(51)Int.Cl. ⁴	識別記号	P I	
C 2 3 C 14/34		C 2 3 C 14/34	T
			U
	14/38	14/38	
	14/54	14/54	B
// H 0 1 L 21/203		H 0 1 L 21/203	S

請求項の数 7 (全 10 頁) 最終頁に続く

(21)出願番号	特願平10-35899	(73)特許権者	000002428 芝浦メカトロニクス株式会社 神奈川県横浜市栄区笠間町1000番地1
(22)出願日	平成10年(1998)2月18日	(72)発明者	栗山 昇 神奈川県座間市相模が丘6丁目25番22号 株式会社芝浦製作所相模工場内
(85)公開番号	特開平10-298755	(72)発明者	谷津 豊 神奈川県座間市相模が丘6丁目25番22号 株式会社芝浦製作所相模工場内
(43)公開日	平成10年(1998)11月10日	(72)発明者	川又 由雄 神奈川県座間市相模が丘6丁目25番22号 株式会社芝浦製作所相模工場内
審査請求日	平成10年(1998)2月18日	(74)代理人	弁理士 鈴江 武彦 (外6名)
(31)優先権主張番号	特願平9-36248	審査官	板谷 一弘
(32)優先日	平9(1997)2月20日		
(33)優先権主張国	日本 (J P)		

最終頁に続く

(54)【発明の名称】 スパッタリング装置用電源装置

1

(57)【特許請求の範囲】

【請求項1】 接地した真空槽内に不活性ガスを導入し、この真空槽内に配置したスパッタ源に負の電圧を印加して、スパッタリングを行うスパッタリング装置において、

上記スパッタ源に直流電圧を印加するための直流電源と、

上記スパッタリング中に発生するアーク放電の発生を停止させるために、上記スパッタ源に逆電圧を印加するための逆電圧発生手段と、

上記逆電圧発生手段で発生された逆電圧を上記スパッタ源に印加するスイッチ手段と、

上記真空槽内のアーク放電の発生を検出するアーク放電検出手段と、

このアーク放電検出手段によりアーク放電の発生が検出

2

された場合には、上記スイッチ手段を設定時間オンさせて、上記逆電圧発生手段から発生された逆電圧を上記スパッタ源に印加するための逆電圧印加手段と、
上記アーク放電検出手段により上記アーク放電の発生が検出された場合には、上記逆電圧発生手段で発生された逆電圧を上記スパッタ源に設定時間印加し、その印加が終了した後、上記アーク放電検出手段によりアーク放電の発生が再度検出された場合には、1～10μs以内に上記逆電圧発生手段で発生された逆電圧を上記スパッタ源に印加する逆電圧印加制御手段とを具備したことを特徴とするスパッタリング装置用電源装置。

【請求項2】 上記逆電圧発生手段と上記スパッタ源との間に、スパッタリング放電の電流を流す方向に接続された順方向インピーダンスと、
この順方向インピーダンスより大きく、かつ並列に接続

3

された逆方向のアーカ放電の発生を防止する逆方向インピーダンスからなる逆方向アーカ放電防止回路を設けたことを特徴とする請求項1記載のスバタリング装置用電源装置。

【請求項3】 上記逆方向アーカ放電防止回路において、順方向インピーダンスがダイオードで、逆方向インピーダンスが抵抗からなることを特徴とする請求項2記載のスバタリング装置用電源装置。

【請求項4】 上記逆方向アーカ放電防止回路のスバタ源側と上記直流電源の正極側との間に、ダイオードのアノード側から上記直流電源の正極側に向けて電流を流すように接続された第2のダイオードと、この第2のダイオードに抵抗を直列に接続したことを特徴とする請求項2記載のスバタリング装置用電源装置。

【請求項5】 上記逆電圧発生手段は、一次側に上記直流電源が接続され、二次側が上記スバタ源に接続されるバラストランスであり、このバラストランスの一次側と二次側の巻線比は、1:1.1~1:1.3であることを特徴とする請求項1乃至請求項4のうちのいずれか一記載のスバタリング装置用電源装置。

【請求項6】 上記逆電圧発生手段は、一次側に上記直流電源が接続され、二次側が上記スバタ源に接続されるオートトランスであり、このオートトランスの一次側と二次側の巻線比は、1:1.1~1:1.3であることを特徴とする請求項1乃至請求項4のうちのいずれか一記載のスバタリング装置用電源装置。

【請求項7】 上記逆方向アーカ放電防止回路により、上記真空槽内に2パルス以上の連続アーカ放電の発生を無くすとともに、上記逆電圧発生手段であるトランスの電圧・時間積を4パルス分以上とすることによって、上記トランスを磁気飽和させないようにしたことを特徴とする請求項2乃至請求項6のうちのいずれか一記載のスバタリング装置用電源装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は電子部品、半導体、光ディスクなどへ薄膜を成膜するスバタリング装置用電源装置に関する。

【0002】

【従来の技術】ターゲットの裏面に磁石を配置したスバタ源を用いたスバタリング装置により半導体、電子部品、装飾部品等に薄膜を形成する技術が普及されている。このようなスバタリング装置においては、真空槽中に放電用ガスとして、例えばArのような不活性ガスを導入しておき、この真空槽中にスバタ源を配置し、このスバタ源に負の電圧を印加することによってマグネトロン放電を発生させ、真空槽中に導入された放電用ガスをイオン化し、このイオン化されたアルゴン正イオンが加速され、スバタ源のターゲット表面に衝突し、ターゲット表面をスバタ蒸発させる。このスバタ粒

4

子を基板の上に沈着させてターゲット材料からなる薄膜を形成するようにしたものであり、これをスバタリングと言う。

【0003】このスバタリングを行っている最中に、マグネトロン放電がアーカ放電に変化してしまう場合がある。このように、マグネトロン放電がアーカ放電に移行してしまうと、スバタリングを行うことはできない。

【0004】従って、アーカ放電の発生後ただちに、上記スバタ源を少しだけ正の電位に保つような逆電圧パルスを印加して、アーカ放電の発生を抑えている。従来においては、この逆電圧パルスを印加する時間間隔は30μs以上であった。

【0005】

【発明が解決しようとする課題】ところで、逆電圧パルスを印加する時間間隔は、スイッチング素子の電力損失による破壊からの保護を行うなどの問題から、ある値の時間間隔が必要とされていた。

【0006】しかし、前述したように30μs以上の時間間隔で逆電圧パルスを印加した場合でも、すぐに連続してアーカ放電が発生してしまうことがあり、連続アーカ放電の発生する確率が高いという問題があった。

【0007】また、逆電圧パルスを印加した場合に、スバタ源に正の電圧が印加されることになり、逆方向に例えば基板等からアーカ放電が発生する場合もある。この逆方向のアーカ放電による連続アーカ放電が発生すると、基板にダメージを与えるという問題があった。

【0008】本発明は上記の点に鑑みてなされたもので、その目的は、連続アーカ放電の発生を防止するために、逆電圧パルスを印加する時間間隔を、アーカ放電の発生を検出した場合には、1~10μs以内とし、しかも、この逆電圧パルスによる逆方向アーカ放電の発生を確実に防止することができるスバタリング装置用電源装置を提供することにある。

【0009】

【課題を解決するための手段】請求項1に係わるスバタリング装置用電源装置は、接地した真空槽内に不活性ガスを導入し、この真空槽内に配置したスバタ源に負の電圧を印加して、スバタリングを行うスバタリング装置において、上記スバタ源に直流電圧を印加するための直流電源と、上記スバタリング中に発生するアーカ放電の発生を停止させるために、上記スバタ源に逆電圧を印加するための逆電圧発生手段と、上記逆電圧発生手段で発生された逆電圧を上記スバタ源に印加するスイッチ手段と、上記真空槽内のアーカ放電の発生を検出するアーカ放電検出手段と、このアーカ放電検出手段によりアーカ放電の発生が検出された場合には、上記スイッチ手段を設定時間オンさせて、上記逆電圧発生手段から発生された逆電圧を上記スバタ源に印加するための逆電圧印加手段と、上記アーカ放電検出手段により

上記アーク放電の発生が検出された場合には、上記逆電圧発生手段で発生された逆電圧を上記スパッタ源に設定時間印加し、その印加が終了した後、上記アーク放電検出手段によりアーク放電の発生が再度検出された場合には、 $1 \sim 10 \mu\text{s}$ 以内に上記逆電圧発生手段で発生された逆電圧を上記スパッタ源に印加する逆電圧印加制御手段とを具備したことを特徴とする。

【0010】従って、逆電圧パルスを印加する間隔をアーク放電検出時は、 $1 \sim 10 \mu\text{s}$ 以下の時間間隔で行うようにしたので、連続アーク放電の発生確率を極めて低下させることができる。

【0011】請求項2に係わるスパッタリング装置用電源装置は、請求項1記載の逆電圧発生手段と上記スパッタ源との間に、スパッタリング放電の電流を流す方向に接続された順方向インピーダンスと、この順方向インピーダンスより大きく、かつ並列に接続された逆方向のアーク放電の発生を防止する逆方向インピーダンスからなる逆方向アーク放電防止回路を設けたことを特徴とする。

【0012】従って、請求項1と同様なことを行うことができるとともに、逆電圧パルスを印加したときに、逆方向アーク放電が発生した際にアーク放電電流を抑制するように順方向インピーダンスより大きくかつ並列に逆方向インピーダンスを設けたので、逆方向のアーク放電が発生するのを抑制することができるため、連続アーク放電の発生確率を極めて低下させることができる。

【0013】請求項3に係わるスパッタリング装置用電源装置は、請求項2記載の逆方向アーク放電防止回路において、順方向インピーダンスがダイオードで、逆方向インピーダンスが抵抗からなることを特徴とする。

【0014】従って、請求項2記載のスパッタリング装置用電源装置と同様なことを行うことができる。請求項4に係わるスパッタリング装置用電源装置は、請求項2記載の逆方向アーク放電防止回路のスパッタ源側と上記直流電源の正極側との間に、ダイオードのアノード側から上記直流電源の正極側に向けて電流を流すように接続された第2のダイオードと、この第2のダイオードに抵抗を直列に接続したことを特徴とする。

【0015】従って、請求項2記載のスパッタリング装置用電源装置と同様なことを行うことができるとともに、逆電圧パルスを印加したときに、真空槽（スパッタ源）側を流れる電流とダイオードD11側を流れる電流を抵抗値 $r11$ により調整できるので基板アーク放電による基板ダメージを防止することができる。

【0016】請求項5に係わるスパッタリング装置用電源装置は、請求項1乃至請求項4のうちいずれか一記載の逆電圧発生手段は、一次側に上記直流電源が接続され、二次側が上記スパッタ源に接続されるパルストランスであり、このパルストランスの一次側と二次側の巻線比は、 $1:1.1 \sim 1:1.3$ であることを特徴とす

る。

【0017】従って、直流電源の $0.1 \sim 0.3$ 倍の逆電圧パルスをトランスから出力させることができる。請求項6に係わるスパッタリング装置用電源装置は、請求項1乃至請求項4のうちいずれか一記載の逆電圧発生手段は、一次側に上記直流電源が接続され、二次側が上記スパッタ源に接続されるオートトランスであり、このオートトランスの一次側と二次側の巻線比は、 $1:1.1 \sim 1:1.3$ であることを特徴とする。

【0018】従って、直流電源の $0.1 \sim 0.3$ 倍の逆電圧パルスをトランスから出力させることができる。請求項7に係わるスパッタリング装置用電源装置は、請求項2乃至請求項6のうちいずれか一記載の逆方向アーク放電防止回路により、上記真空槽内に2パルス以上の連続アーク放電の発生を無くするとともに、上記逆電圧発生手段であるトランスの電圧・時間積を4パルス分以上とすることによって、上記トランスを磁気飽和させないようにしたことを特徴とする。

【0019】従って、逆電圧パルスを発生させるトランスの電圧・時間積を4パルス分以上に設計することにより、逆電圧パルスを発生させるトランスの磁気飽和を無くすることができるので、制御不能を防止することができる。

【0020】

【発明の実施の形態】以下図面を参照して本発明の第1の実施形態について説明する。図1はスパッタリング装置用電源装置を示す回路図である。図において、11は例えば、 800V のスパッタリング装置用直流電源である。この直流電源11の負極は、逆電圧発生手段としてのパルストランス12の一次コイル12₁及び二次コイル12₂の一方の入力端子に接続される。この一次コイル12₁と二次コイル12₂との巻線比は $1:1.1$ から $1:1.3$ に設定されている。

【0021】この一次コイル12₁の他端はスイッチ手段としてのトランジスタQ1のエミッタに接続されている。このトランジスタQ1のコレクタは直流電源11の正極に接続されている。

【0022】さらに、一次コイル12₁の両端間には、抵抗 $r1$ とダイオードD1が直列接続された回路が並列に接続されている。抵抗 $r1$ はサージ吸収用、ダイオードD1はフライホイール用である。

【0023】さらに、一次コイル12₁の一端とトランジスタQ1のコレクタとの間（あるいは直流電源11の両極間）には、大容量のコンデンサC1が並列に接続されている。従って、このコンデンサC1の両端には直流電源11に等しい電圧が充電されている。

【0024】また、二次コイル12₂の他端は出力ケーブル13内の一方向のライン13₁を介してスパッタ源14に接続されている。また、15はスパッタ源14が配置されている真空槽である。そして、この真空槽15中

において、スパッタ源14のターゲットと対向する位置に、基板16が設置されている。この真空槽15内には例えばアルゴンガスのような不活性ガスが導入されている。

【0025】ところで、21は制御回路用直流電源である。この制御回路用直流電源21の両極間には、抵抗r2と逆方向に接続されたダイオードD2が直列接続された回路が並列に接続されている。さらに、上記直流電源11の負極と抵抗r2とダイオードD2との接続点との間には、抵抗r3が接続されている。

【0026】また、抵抗r2とダイオードD2との接続点は抵抗r2aを介して制御用CPU22（中央処理装置）の信号入力端子に接続されている。このCPU22には、計時処理用のカウンタ22cが内蔵されている。

【0027】さらに、上記直流電源21の両極間には、抵抗r4と逆方向に接続されたダイオードD3が直列接続された回路が並列に接続されている。また、バラストランス12の二次コイルの他端と出力ケーブル13の一方のライン13₁の一端が接続されたライン上の一点Aは、抵抗r5を介して抵抗r4とダイオードD3との接続点に接続されている。

【0028】さらに、この抵抗r4とダイオードD3との接続点は抵抗r6を介してシュミットトリガ回路23の入力に接続される。シュミットトリガ回路23は、点Aの電圧が下がると、その出力が“0”レベルから“1”レベルに変化する。これは真空槽15内でアーク放電が発生すると、A点の電圧が下がるためである。このシュミットトリガ回路23によりアーク放電検出手段が構成される。

【0029】このシュミットトリガ回路23の出力は、CPU22の割込み端子INTに入力されると共に、アンド回路24の一方の入力端子に入力される。このアンド回路24の他方の入力端子にはCPU22からゲート制御信号aが入力される。

【0030】さらに、CPU22の制御信号bは、オア回路25の一方の入力端子に入力されると共に、アンド回路24の出力がオア回路25の他方の入力端子に入力される。このゲート制御信号aは通常状態では“1”レベルが出力され、制御信号bは通常状態では“0”レベルを出力する。

【0031】このオア回路25の出力信号cは逆電圧パルスを出力するときには、“1”レベルを、逆電圧パルスを出さないときには、“0”レベルを出力する。オア回路25の出力信号cは、スイッチング用FETQ2のゲートに入力される。このFETQ2のソースは直流電源21の負極に接続されている。

【0032】さらに、FETQ2のソースはダイオードD4及び抵抗r7を介してバラストランス26の一次コイル26₁の一方の端子に接続されている。この一次コイル26₁の他端はFETQ2のドレインに接続されて

いる。

【0033】また、直流電源21の正極は抵抗r8及びコンデンサC2を介してFETQ2のソースに接続されている。この抵抗r8とコンデンサC2との接続点は一次コイル26₁の中間点に接続されている。

【0034】また、トランス26の二次コイル26₂の両端間には、抵抗r9が直列にコンデンサC3が並列に接続されている。そして、このコンデンサC3の一端は上記トランジスタQ1のベースに接続され、他端はトランジスタQ1のエミッタに接続されている。

【0035】また、直流電源11の正極は接地されるとともに、出力ケーブル13の他方のライン13₂（接地側）は真空槽15の槽体に接続されている。次に、上記のように構成された第1の実施形態の動作について説明する。まず、真空槽15を図示しない真空ポンプで真空にする。そして、この真空槽15内にArガスバースを導入して、スパッタ源14に、直流電源11の負の電圧を印加させてマグネトロン放電を発生させる。このマグネトロン放電により、放電空間にアルゴンプラズマが形成される。このプラズマ中のアルゴン正イオンが負の電圧差で加速され、スパッタ源14のターゲットの表面に衝突する。この衝突により、ターゲットのアルミニウム原子は蒸発する。そして、スパッタ蒸発したアルミニウム原子の一部が基板16上に沈着し、アルミニウムの薄膜を形成するスパッタ蒸着が行われる。

【0036】そして、真空槽15内で発生しているマグネトロン放電がアーク放電に移行しなければ、継続してスパッタ蒸着が行われる。ところで、真空槽15で発生しているマグネトロン放電がアーク放電に移行すると、図2（A）に示すようにA点の電圧が下がる。A点の電圧は、抵抗r5、r4で分圧され抵抗r6を介してシュミットトリガ回路23に入力されているため、シュミットトリガ回路23は例えばA点の電圧が300Vを超えると“0”レベルを、150V以下の場合には“1”レベルをCPU22の割込み端子INTに出力すると共に、アンド回路24にも出力する。

【0037】アンド回路24の他方の入力端子に入力されているゲート制御信号aは通常状態では“1”レベルが入力されているため、アンド回路24の出力は“1”レベルに立ち上がる。この信号はオア回路25を介してFETQ2のゲートに入力される。このため、FETQ2がオンする。

【0038】そして、バラストランス26の一次コイル26₁にパルス電圧が印加され、その二次コイル26₂から出力されるパルス電圧はトランジスタQ1のゲートに印加される。

【0039】トランス12の一次コイル12₁には、コンデンサC1に充電されている直流電源11と同じ電圧が印加されており、仮りにトランス12の一次コイル12₁と二次コイル12₂との巻線比を1:1.1にした

9

場合、トランス12の二次コイル12₂には、1.1E (Eは直流電源11の電圧)の電圧が発生する。

【0040】従って、スパッタ源14には0.1Eの正の電圧が印加されることになる。つまり、時刻t₁から逆電圧パルスp₁が印加される。この逆電圧パルスp₁の印加により、スパッタ源14が正の電圧に保たれるため、アーク放電は消える。

【0041】CPU22は、直流電源11の電圧が例えば300Vを越えていることを抵抗r₃、r₂の分圧電圧から判定し、300Vを越えていると判定すると、ゲート制御信号aを“1”レベルで出力する(図2(E))。一方、300V以下であると判定した場合には、ゲート制御信号aを“0”レベルで出力する。

【0042】また、CPU22はA点の電圧をモニタすることにより、アーク放電の発生を検出している。このA点の電圧は、例えば正常放電時は300V以上を示し、アーク放電時には150V以下となる。

【0043】シュミットトリガ回路23は、A点の電圧を抵抗r₄、r₅で分圧した電圧と内部動作電圧とを比較し、アーク放電が発生していれば、例えばA点の電圧が150V以下となるため、“1”レベルを出力する。また、300Vを超えると“0”レベルを出力する。従って、アーク放電が発生する時刻t₀で、図2(B)に示すようにシュミットトリガ回路23は“1”レベルをCPU22のINTに出力する。

【0044】シュミットトリガ回路23の出力が“1”レベルとなると、ゲート制御信号aが“1”レベルであるので、アンド回路24の論理が成立する。このため、制御信号bの出力レベルにかかわらず、オア回路25の出力信号cは“1”レベルとなる(図2(D))。

【0045】このオア回路25の出力信号cの“1”レベルはFETQ₂のゲートに入力されているため、FETQ₂がオンする。このFETQ₂がオンすると、バルストランス26が励磁される。この結果、バルストランス26の二次コイル26₂からパルス電圧がトランジスタQ₁のベースに出力され、トランジスタQ₁がオンする。これにより、バルストランス12から逆電圧パルスp₁が出力される(逆電圧印加手段)。

【0046】ここで、バルストランス26も12も決められた電圧・時間積(ET積)しか信号を伝達できないので、電圧・時間積に達する前にFETQ₂のゲート駆動を止めてリセット動作に移行する必要がある。すなわち、A点の電圧は、シュミットトリガ回路23の判定レベル以下であるので、CPU22を用いてパルス動作にしてやる必要があるからである。

【0047】まず、CPU22はシュミットトリガ回路23からの“1”信号の立ち上がり同期して、カウンタ22cをリセットすると同時に割り込み処理が行われる。この割り込み処理では、CPU22は信号bを

“1”にしてから、ゲート制御信号aを“0”にする

10

(時刻t₂)。このゲート制御信号aを“0”にしたことにより、アンド回路24のゲートは閉じるので、A点の電圧とFETQ₂のゲート駆動は無関係となる。

【0048】そして、カウンタ22cが計時処理を開始した時刻t₀から設定時間T経過したら信号bを“0”に立ち下げる(時刻t₃)。このように信号bが“0”に立ち下がると、オア回路25の2つの入力信号はいずれも“0”となるため、FETQ₂はオフする。

【0049】このようにFETQ₂がオフすると、バルストランス26の一次コイル26₁を流れていた電流は、フライホイールダイオードD₄、抵抗r₇、コイル26₁を通してコンデンサC₂に逆流し、二次コイル26₂には逆電圧が発生する。この結果、トランジスタQ₁のゲート電圧は逆転し、トランジスタQ₁はオフする。

【0050】トランジスタQ₁がオフすると、バルストランス12の一次コイル12₁に流れていた電流はフライホイールダイオードD₁と抵抗r₁と一次コイル12₁を循環する。

【0051】そして、バルストランス12の一次側の電圧が逆転するため、二次側の電圧も逆転し、A点の電圧はスパッタ電圧(300V以上)となる。この時、回路のストレートキャパシティやインダクタンスにより図2(A)に示すように2μs程度A点の電圧が振動する。

【0052】図2(F)に示すようにCPU22の信号bを“0”レベルに立ち下げてから、ゲート制御信号aを“1”レベルに立ち上げるまで時間をカウンタ22cの設定により例えば5μsの設定時間にすることにより、誤動作を防止する。

【0053】そして、カウンタ22cにより設定時間が計時されると、ゲート制御信号aを図2(E)に示すように“1”レベルに立ち上げるようにしている。このように、オア回路25の出力が立ち下がる時刻t₃から5μsの間はゲート制御信号aを“0”レベルとするようにした(逆電圧印加制御手段)ので、オア回路25の出力が立ち下がってから発生するA点の電圧の振動gにより閾値V_{th}を超える信号hが発生してもアーク放電が発生したと誤判定することはなくなる。

【0054】つまり、この振動gによりシュミットトリガ回路23の出力が“1”レベルに変化した場合でも、ゲート制御信号aを“0”レベルにしているため、FETQ₂をオンさせることはない。

【0055】この回路を動作させる場合の問題点は、トランスを用いているため決められた電圧・時間積しかトランスとして動作させられない点である。その電圧・時間積に達する前に逆電圧をトランスに印加し鉄心の磁化状態をリセットしてやらなければ次のパルス電圧を印加出来ない点である。

【0056】そのリセットのための回路がバルストランス12では、r₁、D₁の回路であり、バルストランス

11

26ではD4, r7の回路である。印加する逆電圧が高いほどリセット時間は早くなるので、パルストランス26ではトランジスタQ1のゲート耐電圧以下となる大きな値に抵抗r7を選んでトランジスタQ2のオン時間より短く設定することは可能であるが、トランス12では取り扱っている電圧・電流が大きいため抵抗r1を大きくするとトランジスタQ1の耐電圧を越えてしまう。トランジスタの耐電圧だけであればトランジスタを複数個直列接続して対策しているが、スパッタ源14にかかる電圧も瞬時に大きくなるので、従来はアーク放電遮断の逆電圧を印加する制御回路でリセット時間を確保していた。このリセット時間が30 μ s以上の休止期間であった。

【0057】実際に従来回路を使用してスパッタすると、通常はアーク放電を十分抑制しているが、時々抑制しきれない場合があることが判明した。それは、

1. アーク放電が発生してから逆電圧パルスまでの時間が長いとアーク放電が成長してしまっていて逆電圧パルスが終わってもすぐにアーク放電になってしまうため、連続アーク放電になる。

【0058】2. そこで、逆電圧パルス終了後、次のパルスを出すまでの休止時間を短くしていくと15 μ s位から効果が表れてきて5 μ s以下にすると逆方向アーク放電が発生しない限り逆電圧パルス終了後すぐにはアーク放電にならないことが判った。

【0059】3. この場合、トランス26は抵抗r7を最適化することにより磁気飽和させないで動作可能であるが、トランス12はそのままではだめであると考えられていたが、

4. リセット時間が取れないのは連続アーク放電の場合³⁰だけであるので、逆方向アーク放電防止回路を入れて2パルス以上の連続アーク放電の発生を無くすことと、トランス12の電圧・時間積を4パルス分以上に設計することによりトランス12を磁気飽和させないで使えることが判明した。

【0060】電気回路的に考えると、従来の様にトランスの電圧・時間積をリセットするための休止時間を確保するのが正論であるが、アーク放電防止回路の場合、休止時間をどのタイミングでアーク放電が発生するかで逆電圧パルスの効果が変わってしまい、アーク放電を大きくしてからでは逆電圧パルスが効かなくなるので、休止時間を短くして行った方が連続アーク放電の発生が押さえられ、結果としてリセット時間が確保されたわけである。

【0061】また、連続アーク放電となる場合は2通りあり、アーク放電が発達してしまっていて逆電圧パルスの効果が無くなってしまった場合と、逆電圧パルスを印加した時逆方向電圧で発生するアーク放電でこの逆方向のアーク放電が起こった場合逆電圧パルス終了後、ほとんどの場合順方向のアーク放電となってしまう。つまり、休⁵⁰

12

止期間を短くしていった場合の連続アーク放電の要因は逆方向のアーク放電であるので、逆方向のアーク放電を防止することにより連続アーク放電を防止することが可能である。

【0062】逆方向アーク放電を防止する方法は、

1. 逆電圧を下げる。

a) トランスの巻き数比を変化させる

b) スパッタ源に並列に電流を流す。抵抗値やツェナーダイオードで電圧を制限する

2. 逆電圧印加時に流れる電流を制限する

c) 順方向の電流はダイオードで、逆方向アーク放電の電流は抵抗値を適当に選ぶ。

【0063】具体的には、順方向はスパッタリング放電の電流を流すように低いインピーダンスを接続し、このインピーダンスより高く、かつ並列に逆方向アーク電流を防止するインピーダンスを接続する。

【0064】d) そして、インピーダンスとしてバイポーラトランジスタ、IGBT、MOSFET等で電流制限回路を入れる

などが考えられる。今回は、逆方向アーク放電のインピーダンスが1 Ω 程度、逆方向時のアーク放電に成らないインピーダンスが200 Ω であったことから100 Ω の抵抗とした所効果が絶大であった。なお、この100 Ω の抵抗については後述する第2の実施形態ででてくる抵抗である。

【0065】次に、本発明の第2の実施形態について図3を参照して説明する。この第2の実施形態において、第1の実施形態と同一部分には同一番号を付し、その詳細な説明については省略する。この第2の実施形態においては、図1の第1の実施形態のA点と出力ケーブル13の一方のライン131の端部との間に、ライン131側にアノードを、直流電源11側にカソードを接続したダイオードD10を接続し、このダイオードD10をバイパスするように抵抗r10を並列接続するようにしたのみで、他は図1の回路と同様である。また、抵抗r10は、前述したように例えば100 [Ω] 程度である。

【0066】このようにダイオードD10と抵抗r10の並列回路を接続しておくことにより、真空槽15内でマグネトロン放電が発生して、スパッタリングが行われている場合には、マグネトロン放電による電流はダイオードD10の順方向（つまり、アノードからカソードに向けて）に流れるので、抵抗r10の影響は起こらない。

【0067】しかし、第1の実施形態で説明したように、スパッタ源14を正の電位とするように、逆電圧パルスを印加すると、真空槽15からスパッタ源14に向けて逆方向アーク放電が発生する場合を想定して、抵抗r10を設けている。

【0068】この抵抗r10により逆方向アーク放電の発生を抑制している。直流電源11の電圧を例えば80

13

0Vとした場合に、逆電圧パルスが印加されるときのス
 バック源14の電圧は0.1E(80V)となる。この
 80Vで100Ωの抵抗とすると、0.8Aの電流しか
 流れないので、逆電圧パルスを印加することによるアー
 ク放電が発生することを抑制することができる。このこ
 とは、アーカ放電の一般的な負荷特性からも明らかであ
 る。

【0069】次に、本発明の第3の実施形態について、
 図4を参照して説明する。この第3の実施の形態では、
 図3の回路のダイオードD10のアノードとトランジスタ
 Q1のコレクタとの間に、抵抗r11とダイオードD
 11を直列接続した回路を接続したのみで、他は図3の
 回路と同様である。

【0070】上記のように、抵抗r11とダイオードD
 11を設けることにより、逆電圧パルスを印加したとき
 にスバック源14にかかる逆電圧を下げることができ
 るため、逆方向アーカ放電が発生することを抑制するこ
 とができる。

【0071】なお、上記第1乃至第3の実施形態の説明
 では、逆電圧パルスが立ち下がってから5μsでゲート
 制御信号aを“1”レベルとしたが、1~10μs以内
 であっても良い。また、この時間は、最適には2~5μ
 s以内である。

【0072】なお、上記実施の形態で用いられている回
 路を用いて化成スバックすると、アーカ放電がほぼ一定
 周期で発生し、それを完全に遮断するのでアーカ放電対
 策上は問題はないが、ターゲットの消耗やプロセス条件
 によりアーカ放電発生周期が変化するので、スバック電
 力が変化してしまいプロセスの再現性の面では不都合で
 ある。

【0073】この場合、アーカ放電の発生周期より短い
 周期でアーカ放電の検出に関わらず逆電圧パルスを印加
 すると、スバック時間に対する遮断時間が一定の割合と
 なり、プロセスが安定する。上記した実施形態において
 は、逆電圧発生手段としてパルストランス12を用いる
 ようしたが、オートトランスを用いるようにしても良
 い。

【0074】

【発明の効果】請求項1記載の発明によれば、逆電圧パ
 ルスを印加する間隔をアーカ放電検出時は、1~10μs
 以下の時間間隔で行うようにしたので、連続アーカ放
 電の発生確率を極めて低下させることができる。

【0075】請求項2及び3記載の発明によれば、逆電

14

圧パルスを印加したときに、逆方向アーカ放電が発生し
 た際にアーカ放電電流を抑制するように順方向インピー
 ダンスより大きくかつ並列に逆方向インピーダンスを設
 けたので、逆方向のアーカ放電が発生するのを抑制する
 ことができるため、連続アーカ放電の発生確率を極めて
 低下させることができる。

【0076】請求項4記載の発明によれば、逆電圧パル
 スを印加したときに、真空槽(スバック源)側を流れる
 電流とダイオードD11側を流れる電流を抵抗値r11
 により調整できるので基板アーカ放電による基板ダメ
 ジを防止することができる。

【0077】請求項5及び6記載の発明によれば、トラ
 ンスの巻線比を1:1.1~1:1.3とするようにした
 ので、直流電源の0.1~0.3倍の逆電圧パルスを
 トランスから出力させることができる。

【0078】請求項7記載の発明によれば、逆電圧パル
 スを発生させるトランスの電圧・時間積を4パルス分以
 上に設計することにより、逆電圧パルスを発生させるト
 ランスの磁気飽和を無くすることができるので、制御不能
 を防止することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態に係わるスバックリン
 グ装置用電源装置を示す回路図。

【図2】本願発明の動作を説明するためのタイミング
 図。

【図3】本発明の第2の実施形態に係わるスバックリン
 グ装置用電源装置を示す回路図。

【図4】本発明の第3の実施形態に係わるスバックリン
 グ装置用電源装置を示す回路図。

【符号の説明】

- 11…直流電源、
- 12…パルストランス、
- 13…出力ケーブル、
- 14…スバック源、
- 15…真空槽、
- 16…基板、
- 21…制御回路用直流電源、
- 22…制御用CPU、
- 23…シュミットトリガ回路、
- 24…アンド回路、
- 25…オア回路、
- 26…トランス。

[illegible]

(A) A点の電圧

(B) シュミットリカ (23) の出力

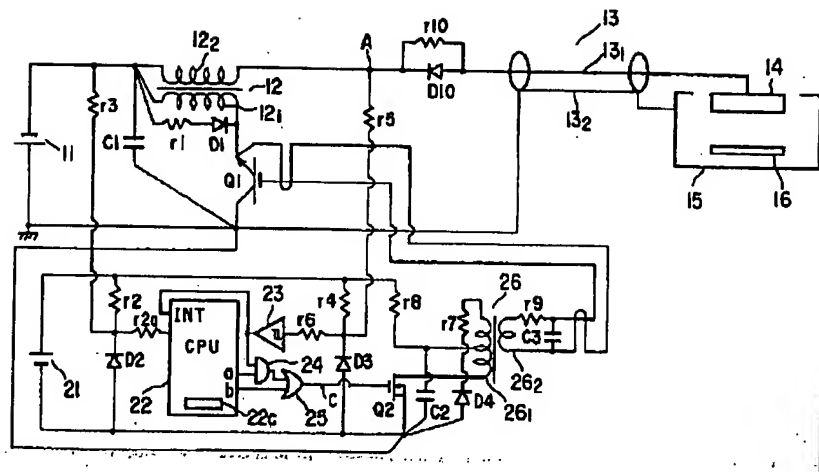
(C) アンテナ回路 (24) の出力

(D) オア回路 (25) の出力

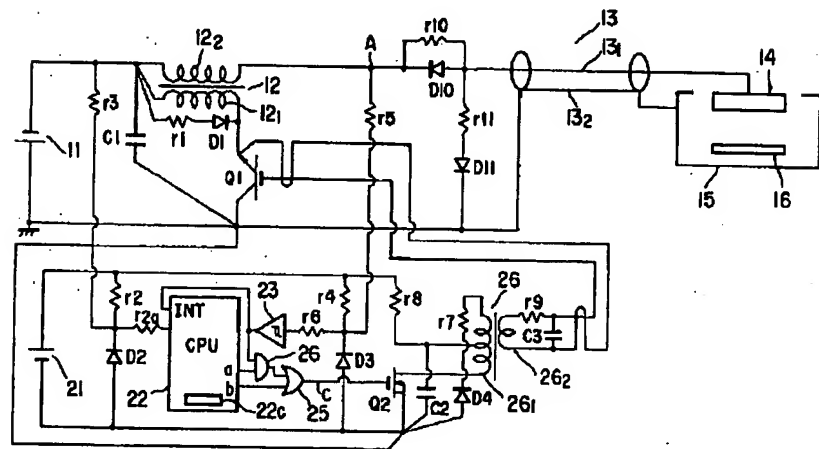
(E) 信号a

(F) 信号b

【図 3】



【図 4】



フロントページの続き

(51)Int.Cl.⁶

H 0 1 L 21/285

識別記号

F I

H 0 1 L 21/285

S

(72)発明者

藤井 崇

神奈川県座間市相模が丘 6 丁目 25 番 22 号

株式会社芝浦製作所相模工場内

(56)参考文献 特開 平9-279337 (JP, A)
特開 平9-71863 (JP, A)
特開 平7-233472 (JP, A)
特開 平8-41636 (JP, A)
特開 平5-311418 (JP, A)
特開 平9-137271 (JP, A)
特開 平2-194831 (JP, A)

(58)調査した分野(Int.Cl.⁶, DB名)

C23C 14/34

C23C 14/38

C23C 14/54

H01L 21/203

H01L 21/285